

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-082585
 (43)Date of publication of application : 26.04.1986

(51)Int.Cl. H04N 5/335
 H04N 1/04

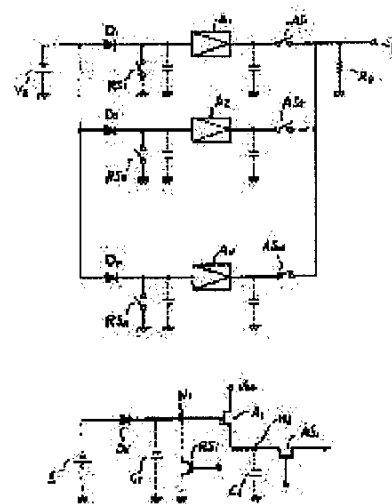
(21)Application number : 59-204890 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 29.09.1984 (72)Inventor : SUZUKI KOHEI

(54) IMAGE SENSOR

(57)Abstract:

PURPOSE: To improve an S/N by making the electrostatic capacity for existing in the output side node of a buffer amplifier larger compared with that for accumulating produced charges produced from a photoelectric conversion element in correspondence to the incident light quantity.

CONSTITUTION: Output terminals of buffer amplifiers A1~AN are connected to respective ends of analog switches AS1~AN, respectively, and respective other ends of the analog switches AS1~ASN are connected to a common resistance R0 and output terminal P. C1 and C2 shows electrostatic capacities for existing an input side node N1 and output side node N2 of the buffer amplifier A1, respectively. Here, a sufficiently large value is given to the C2 compared with the C1. The buffer amplifier Ai in this embodiment is constituted of a source follower using a thin film transistor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-82585

⑤ Int.Cl.⁴H 04 N 5/335
1/04

識別記号

1 0 2

庁内整理番号

6940-5C
8020-5C

⑬ 公開 昭和61年(1986)4月26日

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 イメージセンサ

⑯ 特 願 昭59-204890

⑰ 出 願 昭59(1984)9月29日

⑱ 発 明 者 鈴木 公平 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株式会社東芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

イメージセンサ

2. 特許請求の範囲

(1) 複数の光電変換素子と、これらの光電変換素子の出力端にそれぞれの入力端が接続された複数のバッファ増幅器と、これらのバッファ増幅器の出力端に接続され、その各出力を順次選択する選択手段と、前記光電変換素子の出力端にそれぞれ接続され、前記選択手段により出力が選択された前記バッファ増幅器の入力端に接続されている前記光電変換素子の出力電位を初期電位にリセットするリセット手段とを備え、前記バッファ増幅器の入力側ノードに存在し、前記光電変換素子から入射光量に対応して発生される電荷を蓄積する静電容量に比して、前記バッファ増幅器の出力側ノードに存在する静電容量を大きくしたことを特徴とするイメージセンサ。

(2) 光電変換素子は薄膜構造であり、バッファ増幅器およびリセット手段は薄膜トランジスタを用

いて構成されたものであり、さらにバッファ増幅器の出力側ノードにバッファ増幅器の入力側ノードに存在する静電容量より大きい静電容量の薄膜コンデンサが接続されていることを特徴とする特許請求の範囲第1項記載のイメージセンサ。

(3) 光電変換素子、バッファ増幅器およびリセット手段が同一基板上に形成されていることを特徴とする特許請求の範囲第1項または第2項記載のイメージセンサ。

(4) バッファ増幅器は薄膜トランジスタによるソースフォロワであることを特徴とする特許請求の範囲第1項、第2項または第3項記載のイメージセンサ。

(5) バッファ増幅器は薄膜トランジスタによるソース接地増幅器であることを特徴とする特許請求の範囲第1項、第2項または第3項記載のイメージセンサ。

(6) バッファ増幅器は電圧フォロワであることを特徴とする特許請求の範囲第1項、第2項または第3項記載のイメージセンサ。

3. 発明の詳細な説明

(発明の技術分野)

この発明は、 S/N を向上させたイメージセンサに関する。

(発明の技術的背景とその問題点)

近年、密着型イメージセンサと称される長尺型イメージセンサの開発が盛んになっている。この長尺型イメージセンサの基本構成は、第5図に示すように光電変換素子 $D_1 \sim D_N$ から入射光に対応して発生される信号電荷をMOSトランジスタ等によるアナログスイッチ $S_1 \sim S_N$ を順次オンすることにより選択的に取出して画像読取り出力を得るというものである。しかしながら、このような構成では信号電荷に基づく信号出力が極めて微小であり、一方、アナログスイッチ $S_1 \sim S_N$ で発生するスイッチングノイズが大きいことから、画像読取り出力の S/N が低いという欠点を有していた。

この問題点を第5図のイメージセンサにおける1つの光電変換素子 D_i ($i=1 \sim N$)に対応す

はゲート容量($C_{gs} + C_{gd}$)を通してゲートドライバ電圧 V_g が出力側および入力側に漏れることにより発生するものであり、出力電圧 V_o に対して無視できない大きさである。このため、従来のイメージセンサでは S/N の良い画像読取り出力が得られなかった。

(発明の目的)

この発明の目的は、信号電圧が大きく S/N の良好な画像読取り出力が得られるイメージセンサを提供することにある。

(発明の概要)

この発明は上記目的を達成するため、複数の光電変換素子と、これらの光電変換素子の出力端にそれぞれの入力端が接続された複数のバッファ増幅器と、これらのバッファ増幅器の出力端に接続され、その各出力を順次選択する選択手段と、前記光電変換素子の出力端にそれぞれ接続され、前記選択手段により出力が選択された前記バッファ増幅器の入力端に接続されている前記光電変換素子の出力電位を初期電位にリセットするリセッ

る部分の等価回路を示した第6図を参照して説明する。この種のイメージセンサは、一般に電荷蓄積モード動作を行なって画像読取り出力を得る。すなわち、光電変換素子 D_i に発生した光電流 I_p を蓄積容量 C_i に蓄積し、この蓄積電荷をアナログスイッチ S_i を介して出力する。この時の信号出力電圧 V_o は、

$$V_o = V_i \cdot C_i / (C_i + C_o) \dots (1)$$

で与えられ、信号入力電圧 V_i (光電変換素子 D_i の出力端に生じる電圧)が容量分圧された形となる。ここで、蓄積容量 C_i は光電変換素子 D_i の電極間容量、配線容量およびアナログスイッチ S_i の入力容量等の総和で与えられ、一般に数pF未満である。これに対し C_o は負荷容量であり、アナログスイッチ S_i (MOSトランジスタとする)のゲート・ドレイン間容量 C_{dg} を N 倍した値より小さくすることはできず、一般の N = 数1000の場合で数100 pF以上である。従って、出力電圧 V_o は非常に微小なものになってしまう。

一方、アナログスイッチ S_i のスイッチノイズ

ト手段とを兼ね、前記バッファ増幅器の入力側ノードに存在し、前記光電変換素子から入射光量に対応して発生される電荷を蓄積する静電容量に比して、前記バッファ増幅器の出力側ノードに存在する静電容量を大きくしたことを特徴とする。

すなわち、光電変換素子で入射光量に対応して発生した電荷を一旦バッファ増幅器の入力側ノードに存在する微小な静電容量に蓄積し、その蓄積電荷に基づく電圧をバッファ増幅器を介して、入力側ノードに影響を与えることなく該増幅器の出力側ノードに存在する大きな静電容量に伝達して、入力側ノードに存在する静電容量の蓄積電荷より大きな電荷量として蓄積し、それを画像読取り出力として取出すようにしたものである。

(発明の効果)

この発明によれば、光電変換素子の出力端がバッファ増幅器を介して選択手段と分離されているため、その静電容量、つまりバッファ増幅器の入力側ノードに存在する静電容量を小さくでき、それだけ光電変換素子自体からの出力電圧を大きく

することができる。

しかも、バッファ増幅器の入力側ノードに存在する静電容量に蓄積された電圧は、より大きい出力側ノードの静電容量に蓄積されてから画像読取り出力として取出されるため、入射光量に対応した蓄積電荷量が等価的に増大する。また、出力側ノードに存在する静電容量が大きいことにより、アナログスイッチによる選択手段を通した場合の電圧低下が少なくなり、相対的にスイッチノイズが小さく抑えられる。リセット手段においても同様にスイッチノイズが発生するが、リセット動作に要求される時定数は大きくてよいため、リセット用スイッチング素子としてはオン抵抗の大きな素子、すなわちゲート容量の小さなMOSトランジスタ等を使用することができ、このスイッチングノイズの発生はほとんど問題とならない。従って、この発明によると従来のイメージセンサに比較して、極めてS/Nの高い画像読取り出力を得ることが可能である。

(発明の実施例)

ワによって構成されている。

第2図に相当する部分の具体的な構造を示したのが第3図である。第3図において基板1は例えばガラス基板であり、この基板1上に第1図、第2図の各部の要素が薄膜構造によって形成されている。

すなわち、光電変換素子 D_1 は基板1上に素子毎に分割形成された C_r 等による金属電極2と、各素子に共通のITO膜等による透明電極4とで水素化アモルファスシリコン(a-Si:H)膜3を挟んだ、いわゆるサンドイッチ構造のフォトダイオードとなっている。この場合、金属電極2がフォトダイオードのカソード側、透明電極4がアノード側となり、透明電極4の端部にコンタクトされたバイアス供給端子5がバイアス電源 V_B に接続される。

バッファ増幅器 A_1 を構成する薄膜トランジスタは、光電変換素子 D_1 における金属電極2の引出し配線部2aの一部であるゲート電極と、このゲート電極上に形成されたSiNxまたは

第1図はこの発明の一実施例に係るイメージセンサの回路構成図である。図において、光電変換素子 $D_1 \sim D_N$ は例えば薄膜構造のフォトダイオードであり、その各一端(アノード側)は共通のバイアス電源 V_B の負極側に接続され、各他端(カソード側)はリセットスイッチ $RS_1 \sim RS_N$ およびバッファ増幅器 $A_1 \sim A_N$ の入力端に接続されている。バッファ増幅器 $A_1 \sim A_N$ の出力端はアナログスイッチ $AS_1 \sim AS_N$ の各一端にそれぞれ接続され、アナログスイッチ $AS_1 \sim AS_N$ の各他端は共通の出力抵抗 R_o および出力端子Pに接続されている。

第2図は第1図における1つの光電変換素子 D_1 に対応する等価回路を示したものである。 C_g は光電変換素子 D_1 の電極間容量、 C_1 、 C_2 はそれぞれバッファ増幅器 A_1 の入力側および出力側ノード N_1 、 N_2 に存在する静電容量である。ここで、 C_1 に比較して C_2 は十分に大きく選定されている。また、バッファ増幅器 A_1 はこの例では薄膜トランジスタによるソースフォロ

SiO₂等のゲート絶縁膜6と、その上方のa-Si:H膜3上に形成されたA₀等の導体膜からなるソース、ドレイン電極7、8からなっており、ドレイン電極8はやはりA₀等からなる配線9を介して電源 V_{DD} に接続されている。また、リセットスイッチ RS_1 を構成する薄膜トランジスタは、ゲート電極10、ゲート絶縁膜11、a-Si:H膜12およびソース、ドレイン電極13、14からなっている。なお、各薄膜トランジスタにおいて好ましくは、a-Si:H膜とゲート、ドレイン電極との間にオーミックコンタクト用の n^+ 層15が形成される。

リセットスイッチ RS_1 を構成する薄膜トランジスタのソース電極13は C_r 等による引出し配線16を介してリセット電位(図の例では接地電位)に接続される。この引出し配線16上にはゲート絶縁膜と同材質の誘電体膜17が形成されており、この誘電体膜17上にA₀等による出力端子への引出し配線18が形成されている。これらの引出し配線16、18および誘電体膜17によ

り、薄膜コンデンサ19が構成される。

ここで、第2図におけるバッファ増幅器A₁の入力側ノードN₁に存在する静電容量C₁は、主として光電変換素子D₁の電極間容量(金属電極2と透明電極4間の静電容量)、光電変換素子D₁のカソード電極からリセットスイッチRS₁およびバッファ増幅器A₁に至る配線の持つ容量、さらにバッファ増幅器A₁を構成する薄膜トランジスタのゲート容量等であり、これは比較的微小である。特に、第3図のように光電変換素子D₁、リセットスイッチRS₁、バッファ増幅器A₁等を同一の基板1上に近接して形成すると、配線容量が非常に小さくなるため、この容量C₁は極めて小さく抑えられる。

これに対して、バッファ増幅器A₁の出力側ノードN₂に存在する静電容量C₂は主として薄膜コンデンサ19の静電容量であり、これは引出し配線16、18の面積や誘電体膜17の膜厚、材質等を選定することによって任意に、C₁より十分大きな値にすることができる。

RS₁で発生するスイッチングノイズを考慮する必要があるが、リセットスイッチRS₁はアナログスイッチAS₁と異なり、アナログスイッチAS₁のオンにより蓄積電荷が読出された後、再び同じ光電変換素子D₁からの蓄積電荷が読出される以前の期間内にゆっくりオンになればよいので、リセット動作に要求される時定数は大きくてよい。従ってリセットスイッチRS₁としてオン抵抗の大きい、すなわちゲート容量の小さな素子を使用できるので、ここでのスイッチングノイズ量はほとんど問題とならない程度に小さい。

なお、この発明は上記した実施例に限されるものではなく、例えばバッファ増幅器の具体的構成については第4図に示す各種の変形が考えられる。第4図(a)は第2図の場合と同じくソースフォロワであるが、ソースフォロワの負荷に同一の薄膜トランジスタを使用して電圧ドリフトを減少させた例である。また、第4図(b)は薄膜トランジスタをソース接地として増幅率を1以上にした例である。さらに、第4図(c)は複数の薄膜ト

のように構成された本発明の一実施例に基づくイメージセンサにおいては、バッファ増幅器A₁の入力側ノードN₁に存在する静電容量C₁、つまり光電変換素子D₁から入射光量に対応して発生する信号電荷を蓄積する蓄積容量が非常に小さいことから、同一光量、すなわち同一蓄積電荷に対しバッファ増幅器A₁の入力電圧を従来技術における前記(1)式の入力電圧V₁より大きくとることができる。そして、この電圧がバッファ増幅器A₁を介して出力側ノードN₂に存在する静電容量C₂に伝達されることにより、この静電容量C₂に対して入力側ノードに存在する静電容量C₁の蓄積電荷量に比してより多くの電荷量が蓄積され、これが選択手段としてのアナログスイッチAS₁を介して出力端子Pに画像読取り出力として取出される。従って、アナログスイッチAS₁で発生するスイッチングノイズの量は変わらなくとも、画像読取り出力のS/Nは蓄積電荷量が増大した分だけ向上することになる。

なお、この構成では新たにリセットスイッチ

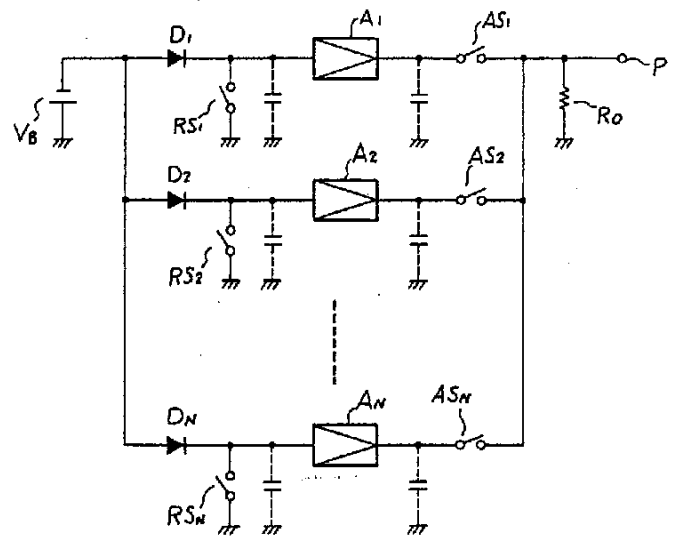
ランジスタの組合せによる差動増幅器を用いて電圧フォロワを構成した例である。また、第4図(c)において帰還率を選ぶことにより増幅率を1以上にすることも可能である。いずれの例においても、入力側ノードN₁に存在する静電容量C₁に比較して、出力側ノードN₂に存在する静電容量C₂を大きくとることにより、蓄積電荷量を大きくして画像読取り出力のS/Nを大きくするという本発明の効果を得ることができる。

4. 図面の簡単な説明

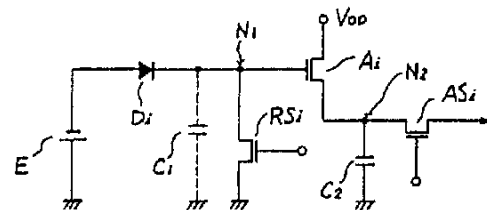
第1図は本発明の一実施例に係るイメージセンサの回路構成図、第2図は第1図のイメージセンサにおける1つの光電変換素子に対応する部分の等価回路図、第3図(a)(b)は同実施例のイメージセンサの具体的構造を示す平面図およびA-A断面図、第4図(a)~(c)は本発明で用いられるバッファ増幅器の他の例を示す図、第5図は従来のイメージセンサの回路構成図、第6図は第5図のイメージセンサにおける1つの光電変換素子に対応する部分の等価回路図である。

$D_1 \sim D_N$, D_i … 光電変換素子、 V_B … バイアス電源、 $RS_1 \sim RS_N$, RS_i … リセットスイッチ、 $A_1 \sim A_N$, A_i … バッファ増幅器、 N_1 … 入力側ノード、 N_2 … 出力側ノード、 C_1 , C_2 … 静電容量、 $AS_1 \sim AS_N$, AS_i … アナログスイッチ（選択手段）、1 … 基板、2 … 金属電極、2a … 引出し配線およびゲート電極、3, 12 … 水素化アモルファスシリコン膜、4 … 透明電極、5 … バイアス供給端子、6, 11 … ゲート絶縁膜、7, 13 … ソース電極、8, 14 … ドレイン電極、9 … 引出し配線、15 … n^+ 層、16, 18 … 引出し配線、17 … 誘電体膜、19 … 薄膜トランジスタ。

第 1 図

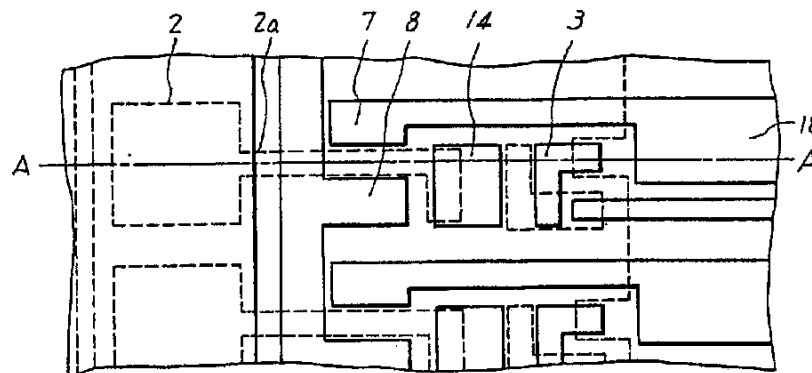


第 2 図

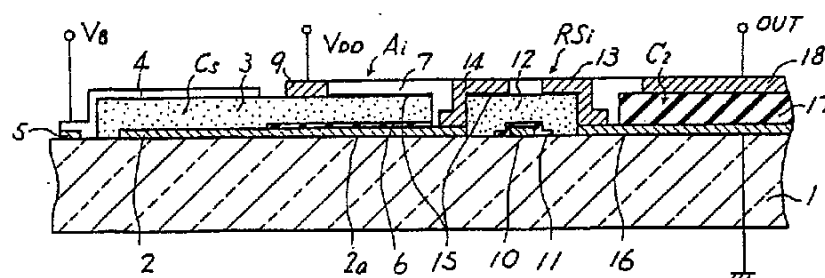


第 3 図

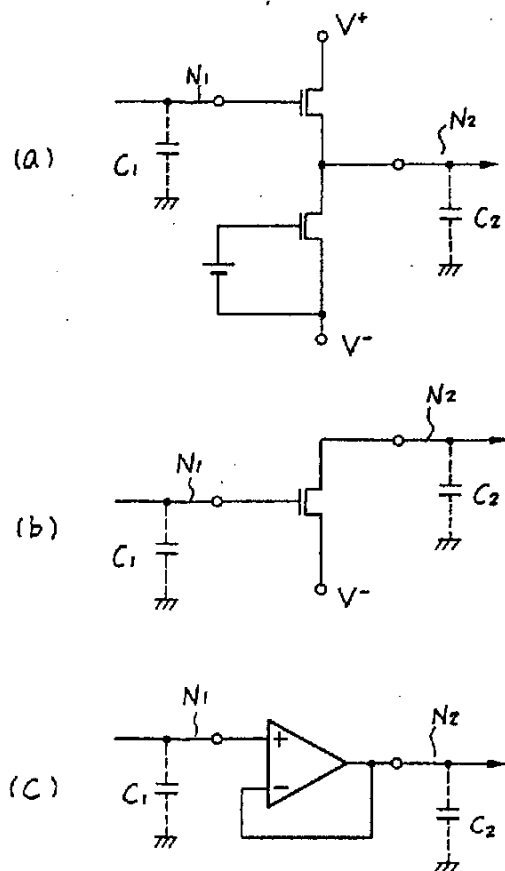
(a)



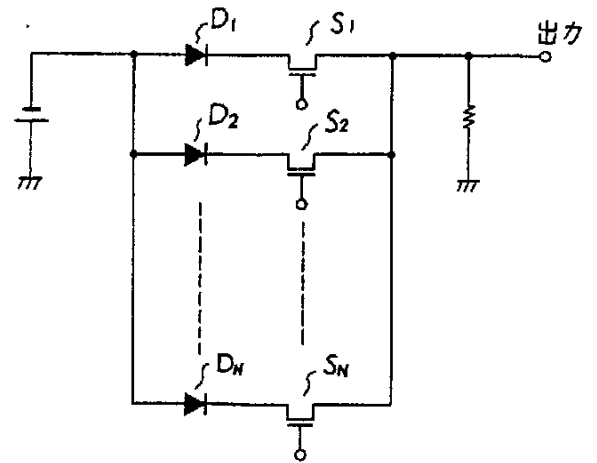
(b)



第 4 図



第 5 図



第 6 図

